SEMICONDUCTOR DEVICE AND ITS PRODUCTION

Patent number: JP4348548

Publication date: 1992-12-03

Inventor: YAMADA TATSUYA; OGAWA SHINICHI; NISHIMURA HIROSHI

Applicant: MATSUSHITA ELECTRIC IND CO LTD

Classification:

- international: ***H01L23/52; H01L21/3205; H01L21/768; H01L23/522;*** **H01L23/52; H01L21/02; H01L21/70;** (IPC1-7): H01L21/3205; H01L21/90

- european:

Application number: JP19910120749 19910527

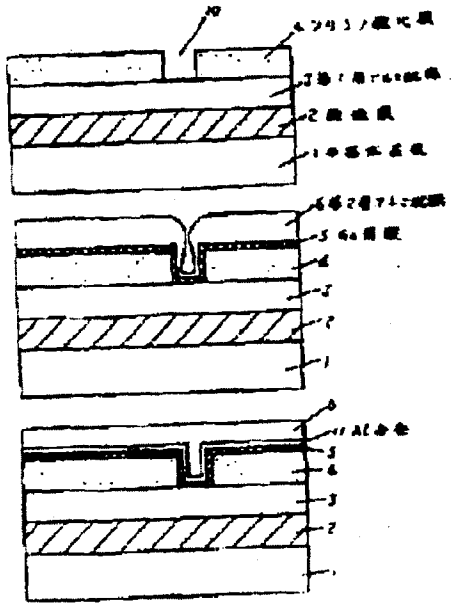
Priority number(s): JP19910120749 19910527

Report a data error here

Abstract of **JP4348548**

PURPOSE:To form the structure of a connecting hole which prevents disconnection of the multilayer interconnection of a semiconductor device.

CONSTITUTION:Before forming a second layer aluminum wiring 6, a Ge thin film 5 is formed in a connecting hole 10. As for aluminum wiring formation, substrate temperature is set at 200 deg.C and step coverage is improved from 10% to 20% compared with the case that the temperature is set at the room temperature. When the temperature is increased to 400-500 deg.C, complete burying is attained. The melting point of Al alloy produced by the reaction of the Ge thin film 5 with the second layer Al wiring 6 is reduced to be lower than the melting point of Al, Al is permitted to melt by substrate heating and the step coverage is improved.



Data supplied from the ***esp@cenet*** database - Worldwide

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（A）　(11)特許出願公開番号

特開平4－348548

(43)公開日　平成４年(1992)12月３日

(51)Int.Cl.⁵	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｈ０１Ｌ　21/90	Ｂ	7353－4M		
21/3205				
		7353－4M	Ｈ０１Ｌ　21／88	Ｎ

審査請求　未請求　請求項の数３(全　３　頁)

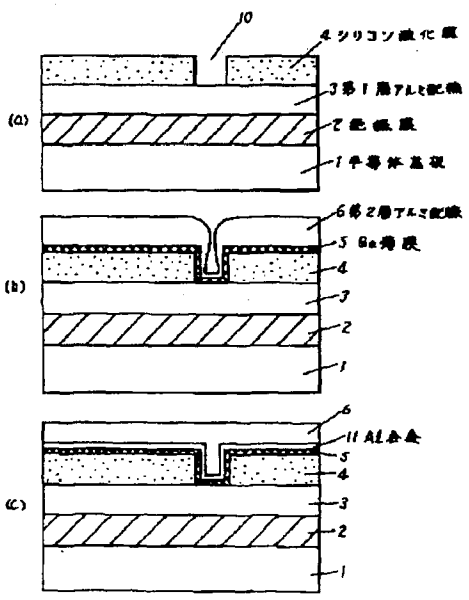
(21)出願番号　特願平3－120749

(22)出願日　平成３年(1991)５月27日

(71)出願人　000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者　山田　達也
大阪府門真市大字門真1006番地　松下電器産業株式会社内
(72)発明者　小川　真一
大阪府門真市大字門真1006番地　松下電器産業株式会社内
(72)発明者　西村　宏
大阪府門真市大字門真1006番地　松下電器産業株式会社内
(74)代理人　弁理士　小鍜治　明　(外２名)

(54)【発明の名称】　半導体装置及びその製造方法

(57)【要約】
【目的】　半導体装置の多層配線において、断線不良を防ぐことのできる接続孔の構造を形成する。
【構成】　第２層アルミ配線６を形成する前にＧｅ薄膜５を接続孔１０内に形成する。アルミ配線形成法として、基板温度を200℃設定にすることで、室温設定の場合に比べステップカバレジが10％から20％に向上する。さらに、温度設定を400～500℃に上げると完全な埋め込みが達成される。また、Ｇｅ薄膜５と第２層Ａｌ配線６との反応によってできたＡｌ合金の融点がＡｌの融点より低下し、Ａｌの溶融を基板加熱で引き起こし、ステップカバレジを向上させることができる。



1

【特許請求の範囲】

【請求項1】　接続孔を設けた半導体基板上の絶縁膜とアルミ配線との間に、Alとの共晶点がAlの融点より低い金属薄膜を有したことを特徴とする半導体装置。

【請求項2】　請求項1記載の金属がGeであることを特徴とする半導体装置。

【請求項3】　Al堆積開始後、Al堆積終了までに基板を200－500℃に加熱してAl堆積することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、多層配線における接続孔の構造を特徴とする半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】通常、配線金属としては、スパッタリング法を用いて堆積したAlもしくはSi、Ti、Cu、Ge、Hf、B等を含有したAl合金が用いられている（以下、特に理由のない限り、AlまたはAl合金をアルミと呼ぶことにする）。

【0003】従来、半導体装置における接続孔の構造を形成する方法として、図2に示すように、半導体素子を形成したシリコン基板上1に絶縁膜2を介して第1層アルミ配線3を形成した後、層間絶縁膜7の堆積及び平坦化を行い、該層間絶縁膜7にビアホールを形成して、第2層アルミ配線6を形成する方法が用いられている。

【0004】

【発明が解決しようとする課題】しかしながら上記のような方法では、半導体装置の高密度化に伴い、接続孔の径に対する層間絶縁膜厚の比（アスペクト比）が高くなり、ビアホールは深くなるため、スパッタリング法により堆積したアルミ配線は、ビアホールにおいて段差被覆性（ステップカバレジ）が低下し、初期の段階で断線に至ったり、エレクトロマイグレーションやストレスマイグレーションにより断線を引き起こすという問題があった。

【0005】本発明は上述の課題に鑑み、半導体装置の多層配線において、ステップカバレジを向上させ、かつエレクトロマイグレーションやストレスマイグレーションによる断線不良を防ぐことのできる接続孔の構造を有した半導体装置及びその製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】上記問題点を解決するために本発明の半導体装置は、接続孔を設けた半導体基板上の絶縁膜とアルミ配線との間に、Alとの共晶点がAlの融点より低い金属薄膜を有したことを特徴とする。

【0007】

【作用】本発明は、上述の構成により、金属膜とAlとの反応によってできたAl合金の融点がAlの融点より

2

低下し、Alの溶融を基板加熱で引き起こしステップカバレジを向上させることができる。

【0008】

【実施例】本発明の実施例を図面を参照しながら説明する。図1は本発明の一実施例における工程断面図を示すものである。

【0009】まず、図1aでは、半導体素子を形成したシリコン基板1上に厚さ0.8μmの絶縁膜2を介して第1層アルミ配線3を厚さが0.8μmになるように形成する。第1層アルミ配線3の形成方法としては、スパッタリング法を用い、材料としては、Siを1%、Cuを0.5%含有したAl合金を用いる。また、Ti、Ge、Hf、B等の元素を添加したAl合金を用いても良い。次に、全面にプラズマCVD法によりシリコン酸化膜4を形成し、ドライエッチング法によりシリコン酸化膜4にビアホール10を形成する。この場合、シリコン酸化膜4の平坦化はレジストエッチバック法により行なう。

【0010】次に、図1bでは、Arスパッタによりビアホール10における第1層アルミ配線3の表面酸化膜を除去した後、全面にGe薄膜5を形成し続いて第2層アルミ配線6を形成し、ビアホール10にAl膜を堆積する。第2層アルミ配線6の材料としては、Siを1%、Cuを0.5%含有したAl合金を用い、形成方法としては、基板温度を200℃に設定したスパッタリング法を用いる。室温設定の場合のステップカバレジ10%に比べ、200℃設定にすると20%に向上した。

【0011】さらに、図1cでは、400～500℃に設定したスパッタリング法を用いると完全な埋め込みが達成される。

【0012】以上のように本実施例によれば、第2層アルミ配線6の下にGe薄膜5を形成することによって、Ge5とAl6との共晶点が下がり（約430℃）、接続孔10内へのアルミ6の流れ込みが強調される。そのため、接続孔10内でのステップカバレジを向上され、エレクトロマイグレーションおよびストレスマイグレーションによる断線を防止でき、その実用効果は大きい。

【0013】なお、本実施例では、接続孔を設けた半導体基板上の絶縁膜とアルミ配線との間にGe薄膜を設けたが、Alとの共晶点がAlの融点（約660℃）より低い金属薄膜を用いても同様の効果を有する。

【0014】

【発明の効果】以上のように本発明によれば、アルミ配線の下にAlとの共晶点がAlの融点より低い金属薄膜を形成することによって、接続孔内でのステップカバレジを向上させ、エレクトロマイグレーションおよびストレスマイグレーションによる断線を防止でき、その実用効果は大きい。

【図面の簡単な説明】

【図1】本発明の実施例における工程断面図である。

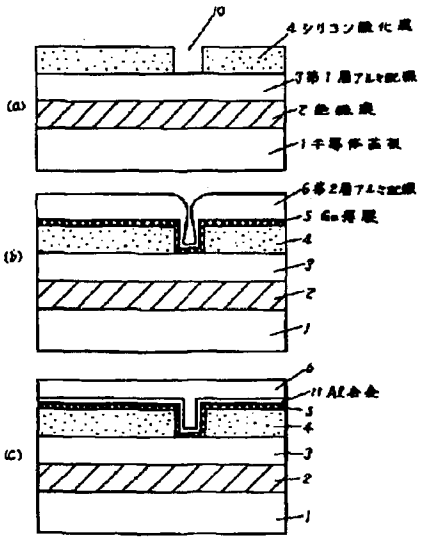
【図2】従来の多層配線構造の断面図である。

3　　4

【符号の説明】

1　半導体基板
2　絶縁膜
3　第1層アルミ配線
4　シリコン酸化膜
5　Ge薄膜
6　第2層アルミ配線
7　層間絶縁膜

【図1】



【図2】

